

1/5/3

DIALOG(R)File 347:JAPIO
(c) 2006 JPO & JAPIO. All rts. reserv.

01812897 **Image available**
SEMICONDUCTOR MEMORY DEVICE

PUB. NO.: 61-026997 [JP 61026997 A]
PUBLISHED: February 06, 1986 (19860206)
INVENTOR(s): SAKURAI TAKAYASU
APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP
 (Japan)
APPL. NO.: 59-149175 [JP 84149175]
FILED: July 18, 1984 (19840718)
INTL CLASS: [4] G11C-011/40; H01L-027/10
JAPIO CLASS: 45.2 (INFORMATION PROCESSING -- Memory Units); 42.2
 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
 MOS)
JOURNAL: Section: P, Section No. 471, Vol. 10, No. 180, Pg. 39, June
 24, 1986 (19860624)

ABSTRACT

PURPOSE: To accomplish the high integration by connecting a source of a MOSFET to a power source voltage impressing point at a low potential level.

CONSTITUTION: A source of MOSFET11 is connected to a power source voltage impressing point VSS at a low potential level. A drain of the MOSFET11 and a gate of a MOSFET12 are connected at a node 13, while a drain of an FET12 and a gate of an FET11 are connected at a node 15. Moreover a drain of a MOSFET18 is connected to the node 13. For instance, in case of data reading, a word line WL goes to one level because the nodes 13 and 15 come to a voltage VDD and a VSS, respectively, in '1' reading. Even when an FET18 is turned on, a bit line BL keeps the level of the VDD as it is. In case of '0' writing, the bit line BL is dropped to the level of the voltage VSS, and then the line WR is made to fall to the voltage VSS. Thus, the nodes 13 is written at the voltage VSS level, while the node 15 is dropped by a coupling due to a gate capacity of the FET11, and written at the voltage VDD level.

BEST AVAILABLE COPY

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-26997

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)2月6日

G 11 C 11/40
H 01 L 27/10

7230-5B
6655-5F

審査請求 有 発明の数 2 (全9頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 昭59-149175

⑰ 出 願 昭59(1984)7月18日

⑱ 発 明 者 桜 井 貴 康 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑲ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地

⑳ 代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

(1) ソースが第1の電源電圧印加点に接続される第1のトランジスタと、情報書き込み時にパルス的に駆動される情報書き込み制御線と、ソースが上記情報書き込み制御線に接続される第2のトランジスタと、上記第1のトランジスタのドレインと上記第2のトランジスタのゲートが接続される第1の節点と、上記第2のトランジスタのドレインと上記第1のトランジスタのゲートが接続される第2の節点と、上記第1の節点および第2の電源電圧印加点との間に挿入される第1の負荷素子と、上記第2の節点および上記第2の電源電圧印加点との間に挿入される第2の負荷素子と、上記第1の節点にドレインが接続される第3のトランジスタと、上記第3のトランジスタのゲートが接続されるワード線と、上記第3のトランジスタのソースが接続されるビット線とを具備したこと

を特徴とする半導体記憶装置。

(2) ソースが第1の電源電圧印加点に接続される第1のトランジスタと、情報書き込み時にパルス的に駆動される情報書き込み制御線と、ソースが上記情報書き込み制御線に接続される第2のトランジスタと、上記第1のトランジスタのドレインと上記第2のトランジスタのゲートが接続される第1の節点と、上記第2のトランジスタのドレインと上記第1のトランジスタのゲートが接続される第2の節点と、上記第1の節点および第2の電源電圧印加点との間に挿入される第1の負荷素子と、上記第2の節点および上記第2の電源電圧印加点との間に挿入される第2の負荷素子と、上記第1の節点にドレインが接続される第3のトランジスタと、上記第3のトランジスタのゲートが接続されるワード線と、上記第3のトランジスタのソースが接続されるビット線とからなるメモリセルを行方向および列方向に配列し、同一行に配列された上記メモリセルの第3のトランジスタのゲートを複数のワード線のうち対応するものに共

通接続し、同一列に配列された上記メモリセルの第3のトランジスタのソースを複数のビット線のうち対応するものに共通接続し、同一行に配列された上記メモリセルの第1のトランジスタのソースを複数の情報書き込み制御線のうち対応するものに共通接続するように構成したことを特徴とする半導体記憶装置。

3. 発明の詳細な説明

[発明の技術分野]

この発明は半導体スタティック記憶装置に係り、特に大容量の記憶装置に使用されるものである。

[発明の技術的背景]

従来、半導体スタティック記憶装置(以下、スタティックメモリと称する)に用いられているメモリセルは、6トランジスタ構成のものや4トランジスタ構成のものが一般的である。ところが、最近ではわずか3個のトランジスタと負荷抵抗とによって構成された3トランジスタ構成のスタティック型メモリセルが開発されている。

第6図は上記3トランジスタ構成のスタティッ

ク型メモリセルの回路図である。このセルは、MOSトランジスタ11および12のソースを共通に接続し、このソース共通接続点を情報書き込み制御線(ライト線)WRに接続し、MOSトランジスタ11のゲートおよびドレインをMOSトランジスタ12のドレインおよびゲートに交互に接続し、MOSトランジスタ11のドレインとMOSトランジスタ12のゲートが接続されている節点13と電源電圧 V_{DD} との間に負荷としての抵抗14を挿入し、同様にMOSトランジスタ12のドレインとMOSトランジスタ11のゲートが接続されている節点15と電源電圧 V_{DD} との間に負荷としての抵抗16を挿入して双安定回路17を構成し、さらに上記MOSトランジスタ11のドレインにMOSトランジスタ18のドレインを接続し、このMOSトランジスタ18のソースをビット線BLに、ゲートをワード線WLにそれぞれ接続して構成されている。なお、上記各トランジスタ11、12、18はすべてNチャネルのものであるとする。またこれらトランジスタのしきい値電圧は V_T であるとする。

第7図は、上記メモリセルのデータ読み出し時の主要な制御信号および主要な節点の動作波形の概略を示すタイミングチャートである。ここでは一例としてワード線WLの“1”レベルが電源電圧 V_{DD} よりも V_1 だけ大きくされている場合を考える。このとき、節点13に V_{DD} がそのまま出力されるためには、上記 V_1 は、

$$V_1 > V_T \quad \dots 1$$

を満たすことが望ましい。第7図では、節点13、15にもともと“1”レベルが記憶されている場合(“1”ストア)と、“0”レベルが記憶されている場合(“0”ストア)とに別けて示してある。

第7図に従ってまずデータ読み出し時の動作を考える。“1”読み出し(“1”リード)では、節点13は V_{DD} 、節点15は V_{DD} なのでワード線WLが“1”レベルすなわち $V_{DD} + V_1$ になってトランジスタ18がオンしても、ビット線BLはそのまま V_{DD} のレベルを保つ。他方、“0”読み出し(“0”リード)のとき、ワード線WLが“1”レベルになってトランジスタ18がオンする

と、ビット線BLからトランジスタ18、11を通してライト線WRに電流が流れ、ビット線BLのレベルは V_{DD} に向かって落ちていく。従って、節点13のレベルは最高 V_{DD} まで浮く。ここで節点15の V_{DD} レベルを下げないために、 V_0 は、

$$V_0 < V_T \quad \dots 2$$

を満たすことが望ましい。これはトランジスタ18、11のコンダクタンス比を適当に選ぶことによって実現される。

第8図は、上記メモリセルのデータ書き込み時の主要な制御信号および主要な節点の動作波形の概略を示すタイミングチャートである。まず、もともと“1”が記憶されている場合(“1”ストア)について考える。ライト線WRが V_{DD} になると、もともと V_{DD} だった節点13はトランジスタ12のゲート容量によりカップリングで $V_{DD} + V_2$ なるレベルになる。この時、同時に節点15は V_{DD} にチャージアップされる。次にワード線WLが $V_{DD} + V_1$ なる“1”レベルになる。これにより、トランジスタ18がオンし、節点13は

V_{DD} レベルになる。次に書き込むべきデータに従ってビット線BLを V_{DD} のまま保つか、もしくは V_{SS} に低下させる。これとほぼ同じかやや遅れたタイミングでライト線WRを V_{SS} に戻す。
 “1”書き込み(“1”ライト)のときはトランジスタ18がオンしていることにより節13が V_{DD} に、節15が V_{SS} にそれぞれ設定され、
 “0”書き込み(“0”ライト)のときはビット線BLが V_{SS} に低下することにより節13は V_{SS} に、節15はトランジスタ11のゲート容量のカップリングによって $V_{DD} - V_3$ なるレベルにそれぞれ設定される。これは時間が経過すれば抵抗16を通じて V_{DD} レベルになる。これで書き込みが終了する。

他方、もともと“0”が記憶されている場合(“0”ストア)の動作は次の通りである。“1”ストアの時と同様、ライト線WRが V_{DD} になることにより、節15は V_{DD} レベルになる。この後、ワード線WLが $V_{DD} + V_1$ になり、トランジスタ18がオンする。この後、“1”書き込みの

場合にはビット線BLを V_{DD} のままライト線WRを V_{SS} に低下させ、節13を V_{DD} に、節15を V_{SS} にそれぞれ設定する。ライト線WRのレベルが低下する前は節13のレベルが V_{DD} 、節15のレベルが $V_{SS} + V_2$ になっているが、節13の方にはトランジスタ18を通してビット線BLが接続されているので、最終的に節13を V_{DD} に、節15を V_{SS} にそれぞれすることが出来る。

“0”書き込みの場合にはビット線BLを V_{SS} レベルに低下させ、これと同時にやや遅れたタイミングでライト線WRを V_{SS} に低下させる。これにより、節13は V_{SS} に、また節15はトランジスタ11のゲート容量によるカップリングで引き下げられ、 V_{DD} レベルにそれぞれ書き込まれる。これにより、“0”ストアの場合のデータ書き込みが行われる。

第9図は上記第6図のセルの動作を、回路シミュレータSPICEを用いてシミュレーションした場合の詳細なタイミングチャートである。ここ

では、始め節13で“1”のデータが記憶されている状態から50nS.の時間が経過するまでの期間に“0”のデータが書き込まれ、次の100nS.までの期間に再び“1”のデータが書き込まれている。各書き込み動作の前にはデータの読み出し動作が挿入されているが、すべて正常動作していることがわかる。

第10図は上記第6図のように構成されているセルを行方向および列方向に配列した際の一部分の回路図であり、第11図はこの回路を実際に集積化した場合のパターン平面図である。ここでは4個のメモリセルM1k、M1l、M2k、M2lが示されている。これら各セルMにおいて各トランジスタ111、121、131、141は前記第6図中のトランジスタ11に対応し、各トランジスタ112、121、132、142は同じくトランジスタ12に対応し、各トランジスタ113、123、133、143は同じくトランジスタ18に対応している。また節M1は前記節13に、節M2は前記節15にそれぞれ対応している。

第11図において、200は上記トランジスタ111および121の共通ソース領域となるN型不純物を含む拡散領域、201は上記トランジスタ111および上記トランジスタ113の共通ドレイン領域となるN型不純物を含む拡散領域、202は上記トランジスタ112のドレイン領域となるN型不純物を含む拡散領域、203は上記トランジスタ112のソース領域となるN型不純物を含む拡散領域、204は上記トランジスタ113のソース領域となるN型不純物を含む拡散領域、205は上記トランジスタ121および上記トランジスタ123の共通ドレイン領域となるN型不純物を含む拡散領域、206は上記トランジスタ122のドレイン領域となるN型不純物を含む拡散領域、207は上記トランジスタ122のソース領域となるN型不純物を含む拡散領域、208は上記トランジスタ123のソース領域となるN型不純物を含む拡散領域、300は上記トランジスタ131および141の共通ソース領域となるN型不純物を含む拡散領域、301は上記トランジスタ131および上記トランジスタ133の共通ドレ

イン領域となるN型不純物を含む拡散領域、302は上記トランジスタ132のドレイン領域となるN型不純物を含む拡散領域、303は上記トランジスタ132のソース領域となるN型不純物を含む拡散領域、304は上記トランジスタ133のソース領域となるN型不純物を含む拡散領域、305は上記トランジスタ141および上記トランジスタ143の共通ドレイン領域となるN型不純物を含む拡散領域、306は上記トランジスタ142のドレイン領域となるN型不純物を含む拡散領域、307は上記トランジスタ142のソース領域となるN型不純物を含む拡散領域、308は上記トランジスタ143のソース領域となるN型不純物を含む拡散領域、401は上記トランジスタ111のゲート配線となる多結晶シリコン層、402は上記トランジスタ112のゲート配線となる多結晶シリコン層、403は上記トランジスタ121のゲート配線となる多結晶シリコン層、404は上記トランジスタ122のゲート配線となる多結晶シリコン層、405は上記トランジスタ113と123のゲート配線および前記ワード線W-L」と

なる多結晶シリコン層、406は上記トランジスタ131のゲート配線となる多結晶シリコン層、407は上記トランジスタ132のゲート配線となる多結晶シリコン層、408は上記トランジスタ141のゲート配線となる多結晶シリコン層、409は上記トランジスタ142のゲート配線となる多結晶シリコン層、410は上記トランジスタ133と143のゲート配線および前記ワード線W-L」となる多結晶シリコン層、511、512、513は、図示しない例えばアルミニウムなどで構成される前記ライト線WR-Iに上記各拡散領域200、203、207を接続するコンタクト部、514、515、516は、図示しない例えばアルミニウムなどで構成される前記ライト線WR-Jに上記各拡散領域300、303、307を接続するコンタクト部、517、518、519、520は、上記各拡散領域204、304、208、308を図示しない例えばアルミニウムなどで構成される前記ビット線BLに接続するコンタクト部である。なお、第11図において前記負荷抵抗の表示は省略した。

〔背景技術の問題点〕

ところで第11図において、パターンの中央部には2つのコンタクト部511、514が独立して設けられている。これは、この2つのコンタクト部511、514を1つのまとめてしまうと、ライト線WR-IとWR-Jとが同電位になってしまい、第10図の回路が実現されないからである。このため、前記第6図のセルを用いて集積化されるメモリでは、パターン中央に2個のコンタクト部を設ける必要があるため、その分だけ占有面積が大きくなり、十分に高集積化が達成されないという欠点がある。

〔発明の目的〕

この発明は上記のような事情を考慮してなされたものであり、その目的は高集積化が実現できる半導体記憶装置を提供することにある。

〔発明の概要〕

上記目的を達成するためこの発明にあっては、1個のメモリセルを、ソースが低電位の電源電圧印加点に接続される第1のMOSトランジスタ

と、情報書き込み時にパルス的に駆動されるライト線と、ソースが上記ライト線に接続される第2のMOSトランジスタと、上記第1のMOSトランジスタのドレインと上記第2のMOSトランジスタのゲートが接続される第1の節点と、上記第2のMOSトランジスタのドレインと上記第1のMOSトランジスタのゲートが接続される第2の節点と、上記第1の節点および高電位の電源電圧印加点との間に挿入される第1の負荷素子と、上記第2の節点および上記高電位の電源電圧印加点との間に挿入される第2の負荷素子と、上記第1の節点にドレインが接続される第3のMOSトランジスタと、上記第3のMOSトランジスタのゲートが接続されるワード線と、上記第3のMOSトランジスタのソースが接続されるビット線とで構成することにより、メモリセルを複数個集積化する際に1個当りのパターン面積を従来よりも縮小化している。

〔発明の実施例〕

以下、図面を参照してこの発明の一実施例を説

明する。

第1図はこの発明に係る半導体記憶装置の1個のメモリセルのみの構成を示す回路図である。この実施例のメモリセルが前記第6図のものと異なるところは、MOSトランジスタ11のドレインを前記ライト線WRに接続する代わりに、 V_{ss} 電圧印加点に接続するようにしたものである。

このメモリセルにおける動作は、トランジスタ11のドレインがライト線WRの代わりに V_{ss} 電圧印加点に接続されていることのみが違っただけであるので、前記第6図の場合とほぼ同様である。すなわち、データ読み出し時の場合、“1”読み出し(“1”リード)では、節点13は V_{DD} 、節点15は V_{ss} なのでワード線WLが“1”レベルすなわち $V_{DD} + V_1$ になってトランジスタ18がオンしても、ビット線BLはそのまま V_{DD} のレベルを保つ。他方、“0”読み出し(“0”リード)のとき、ワード線WLが“1”レベルになってトランジスタ18がオンすると、ビット線BLからトランジスタ18、11を通して V_{ss} に電流が流

れ、ビット線BLのレベルは V_{ss} に向かって落ちていく。従って、節点13のレベルは最高 V_2 まで押く。ここで節点15の V_{DD} レベルを下げないために、 V_0 は、

$$V_0 < V_T \quad \dots \quad 2$$

を満たすことが望ましい。これはトランジスタ10、11のコンダクタンス比を適当に選ぶことによって実現される。

データ書き込み時、まずもともと“1”が記憶されている場合(“1”ストア)、ライト線WRが V_{DD} になると、もともと V_{DD} だった節点13はトランジスタ12のゲート容量によりカップリングで $V_{DD} + V_2$ なるレベルになる。この時、同時に節点15は V_{DD} にチャージアップされる。次にワード線WLが $V_{DD} + V_1$ なる“1”レベルになる。これにより、トランジスタ18がオンし、節点13は V_{DD} レベルになる。次に書き込むべきデータに従ってビット線BLを V_{DD} のまま保つか、もしくは V_{ss} に低下させる。これとほぼ同じかやや遅れたタイミングでライト線WRを

V_{ss} に戻す。“1”書き込み(“1”ライト)のときはトランジスタ18がオンしていることにより節点13が V_{DD} に、節点15が V_{ss} にそれぞれ設定され、“0”書き込み(“0”ライト)のときはビット線BLが V_{ss} に低下することにより節点13は V_{ss} に、節点15はトランジスタ11のゲート容量のカップリングによって $V_{DD} - V_3$ なるレベルにそれぞれ設定される。これは時間が経過すれば抵抗16を通じて V_{DD} レベルになる。これで書き込みが終了する。

他方、もともと“0”が記憶されている場合(“0”ストア)の動作は次の通りである。“1”ストアの時と同様、ライト線WRが V_{DD} になることにより、節点15は V_{DD} レベルになる。この後、ワード線WLが $V_{DD} + V_1$ になり、トランジスタ18がオンする。この後、“1”書き込みの場合にはビット線BLを V_{DD} のままでライト線WRを V_{ss} に低下させ、節点13を V_{DD} に、節点15を V_{ss} にそれぞれ設定する。ライト線WRのレベルが低下する前は節点13のレベルが V_{DD} 、

節点15のレベルが $V_{ss} + V_2$ になっているが、節点13の方にはトランジスタ18を通してビット線BLが接続されているので、最終的に節点13を V_{DD} に、節点15を V_{ss} にそれぞれすることが出来る。

“0”書き込みの場合にはビット線BLを V_{ss} レベルに低下させ、これと同時にやや遅れたタイミングでライト線WRを V_{ss} に低下させる。これにより、節点13は V_{ss} に、また節点15はトランジスタ11のゲート容量によるカップリングで引き下げられ、 V_{DD} レベルにそれぞれ書き込まれる。これにより、“0”ストアの場合のデータ書き込みが行われる。このように、この実施例のメモリセルは前記第6図のものと同様に動作する。

しかもこの実施例のメモリセルでは、トランジスタ11のドレインを V_{ss} に接続しているので、節点15とライト線WRとの間のカップリングキャパシタンスを第6図のものよりも小さくすることができ、これによりライト線WRの電位が変動し

た時に節点15が受ける影響を少なくでき、従って安定な動作を実現することができる。

第2図は上記第1図のセルの動作を、回路シミュレータSPICEを用いてシミュレーションした場合の詳細なタイミングチャートである。このタイミングチャートは前記第9図のものとほぼ同じであり、このことはこのメモリセルが正常にデータの書き込みおよび読み出し動作を行なっていることを示している。

第3図は上記第1図のように構成されているセルを行方向および列方向に配列した際の一部分の回路図であり、第4図はこの回路を実際に集積化した場合のパターン平面図である。ここでは前記第10図、第11図と同様に4個のメモリセルMik、Mii、Mjk、Mjiのみが示されている。なお、第11図では前記負荷抵抗の表示が省略されている。各セルMにおいて各トランジスタ111、

121、131、141は前記第1図中のトランジスタ11に対応し、各トランジスタ112、122、132、142は同じくトランジスタ12に対応し、各トラン

ジスタ113、123、133、143は同じくトランジスタ18に対応している。また節点M1は前記節点13に、節点M2は前記節点15にそれぞれ対応している。また第4図において前記第11図と対応する箇所には同一符号を付して説明を行なう。この第4図のものが前記第11図と異なっているところは、トランジスタ111、121、131、141のドレイン領域となる前記拡散領域200と300が1つの拡散領域600にまとめられている点である。そしてこの拡散領域600は、例えばアルミニウムなどで構成されているVssの供給線(図示せず)に対し、1つのコンタクト部601を介して接続されている。

上記第4図のパターン平面図と前記第11図のものとを比較すると、第4図の方がVss供給線を上下のセルで共用できるので、パターンの1セル当りの占有面積を小さなものにできる。しかもVss供給線が各セル付近を通っているので、基板にこのVss電圧を落とすことができ、これにより基板が電気的に安定化されて、安定したメモ

リの動作が得られる。

また複数個のメモリセルを配列してメモリを構成する際に、第3図のようにメモリセルM内のトランジスタ18のゲートを同一行に配列されているもの毎に対応するワード線WLiに共通に接続し、メモリセルM内のトランジスタ12のソースを同一行に配列されているもの毎に対応するライト線WRに共通に接続し、さらにメモリセルM内のトランジスタ18のドレインを同一列に配列されているもの毎に対応するビット線BLに共通に接続することによって(ただしメモリセルMの配列方向は、図中横方向を行方向、縦方向を列方向としている)、非選択のメモリセルMの記憶データ破壊を防止することができる。これは、第3図回路を、メモリセルM内のトランジスタ12のソースを同一列に配列されているもの毎に対応するライト線WRに共通接続するように変えた場合、例えばメモリセルMikにデータ書き込みを行なう際にワード線WLiを前記のようにVDD+Viのレベルに設定するものであるが、メモリセルMik、M

jkが接続され、縦方向に走るライト線WRもライトパルス信号を印加してVDDレベルにしなければならない。このようなことが連続して起こったり、ライトパルス信号のパルス幅がかなり大きい場合には、上記選択されたメモリセルMikと同一列に配列、非選択状態の他のメモリセルではトランジスタ11、12のソースに、等価的にVssレベルの電圧が長期間印加されない事態が発生する。するとメモリセルの記憶データが破壊されてしまう。ところが、第3図のように、同一列に配列されているメモリセル毎にライト線及びワード線それぞれを共通接続することにより、非選択状態の各メモリセルには、それぞれ対応するライト線からVssレベルを印加できるので、これら非選択状態のメモリセルにおいてデータが破壊される恐れがなくなる。

なお、この発明は上記の一実施例に限定されるものではなく、種々の変形が可能であることはいうまでもない。例えば、上記実施例では各メモリセルを3個のMOSトランジスタで構成する場合

について説明したが、これは例えば第5図に示すように前記負荷抵抗14、16の代わりにノーマリオン型のMOSトランジスタ24、26を用いるような構成にしてもよい。ただしこの場合には1セル当りのトランジスタの数が増加するので第1図の場合よりは集積度が低下する。また上記負荷抵抗14、16の代わりにPチャネルのMOSトランジスタを用いた5トランジスタ構成のセルも使用可能である。

また、上記実施例のメモリの動作波形については第7図および第8図と同様であるが、ライトパルス信号の時間的位置とワード線の信号の関係等はこのままでなくともよい。

〔発明の効果〕

以上説明したようにこの発明によれば、高集積化が実現できる半導体記憶装置を提供することができる。

4. 図面の簡単な説明

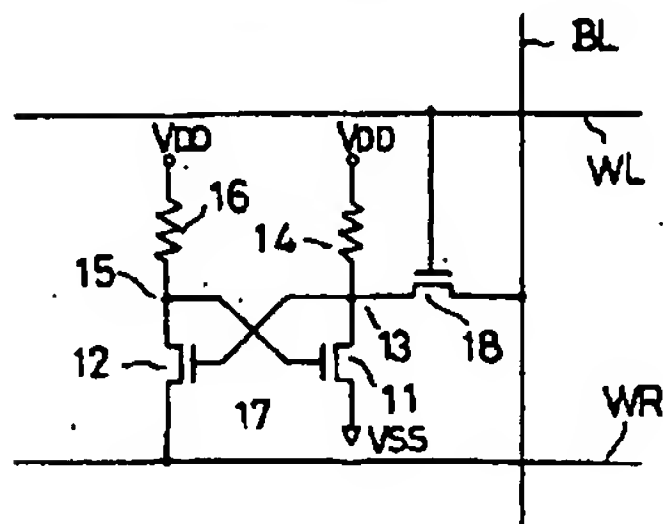
第1図はこの発明の一実施例に係る半導体記憶装置の1つのメモリセルの構成を示す回路図、第

2図は上記メモリセルの詳細な動作を示すタイミングチャート、~~発明の変形例によるメモリセルの構成を示す回路図~~、第3図は上記第1図のメモリセルを複数個用いて構成されるメモリの回路図、第4図は第3図回路を集積化した場合のパターン平面図、第5図はこの発明の変形例によるメモリセルの構成を示す回路図、第6図は3トランジスタ構成のスタティック型メモリセルの回路図、第7図および第8図はそれぞれ上記第6図のメモリセルの動作を示すタイミングチャート、第9図は上記第6図のメモリセルの詳細な動作を示すタイミングチャート、¹⁰第10図は上記第6図のメモリセルを複数個用いて構成されるメモリの回路図、第11図は第10図回路のパターン平面図である。

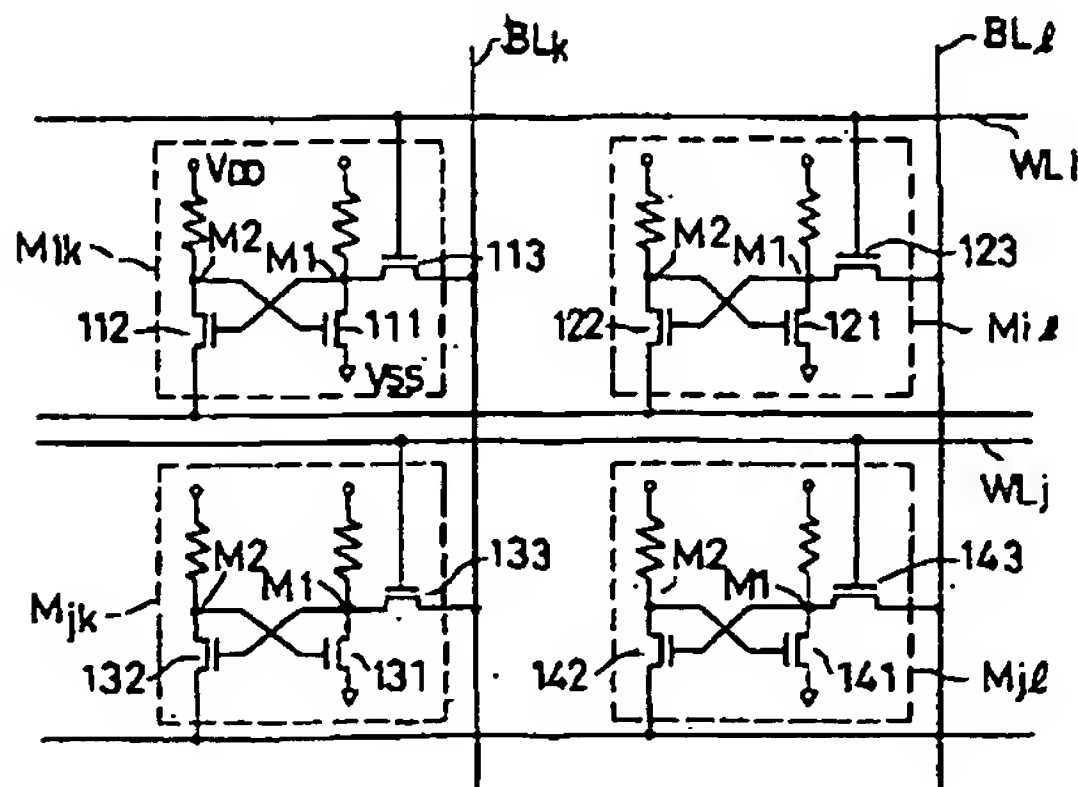
11、12、18…MOSトランジスタ、14、16…抵抗、17…双安定回路、WL…ワード線、BL…ビット線、WR…ライト線、M…メモリセル。

出願人代理人 弁理士 鈴江武彦

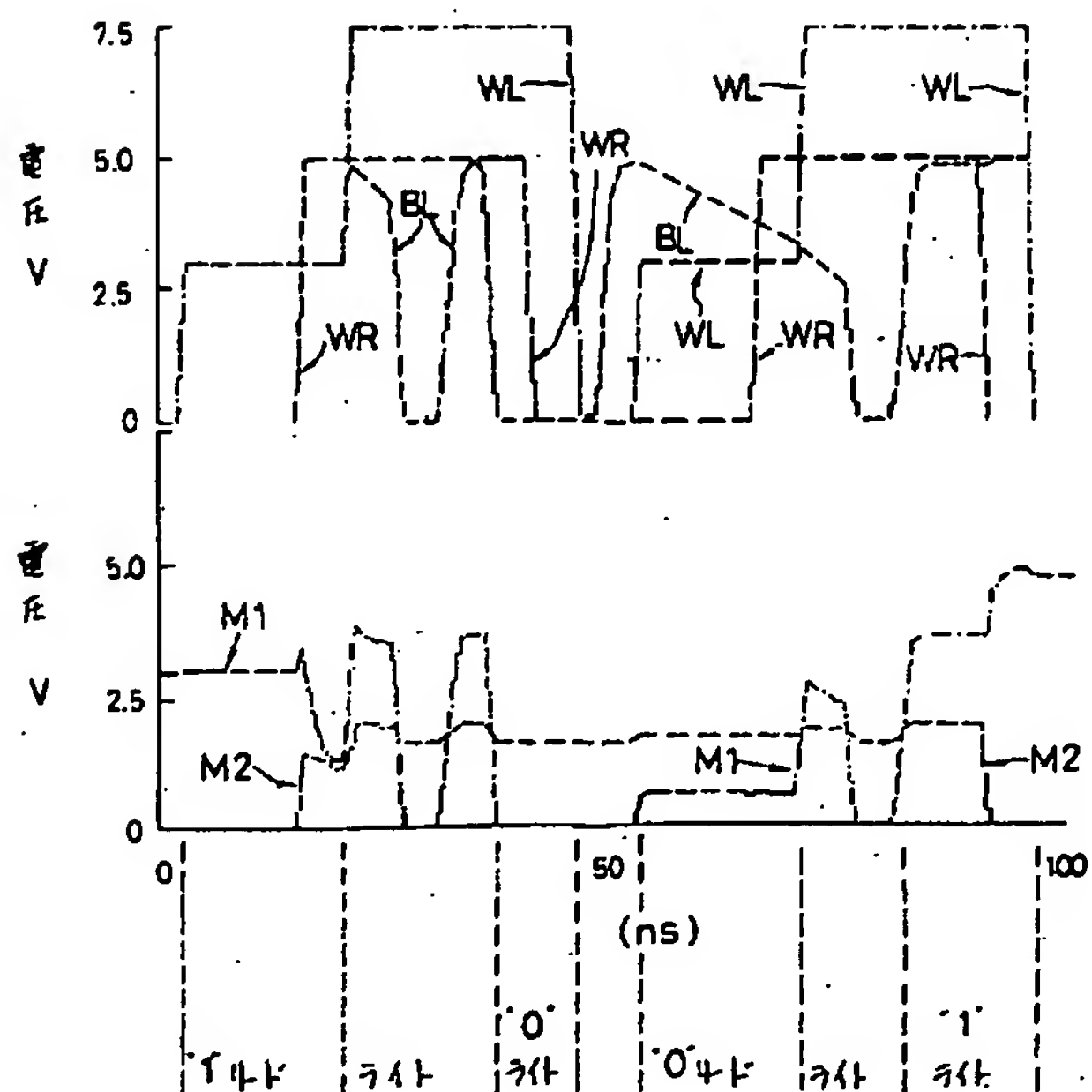
第1図



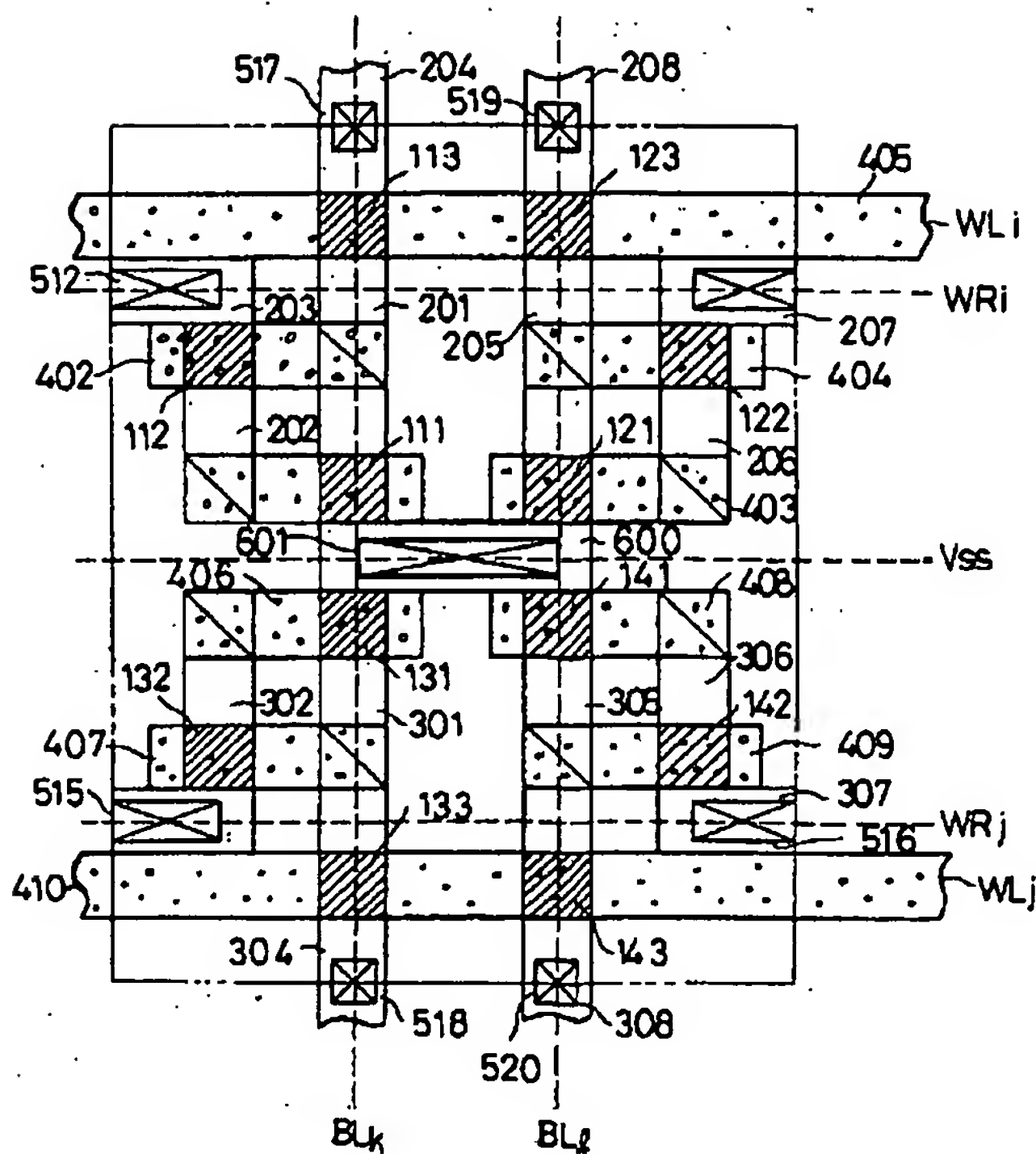
第3図



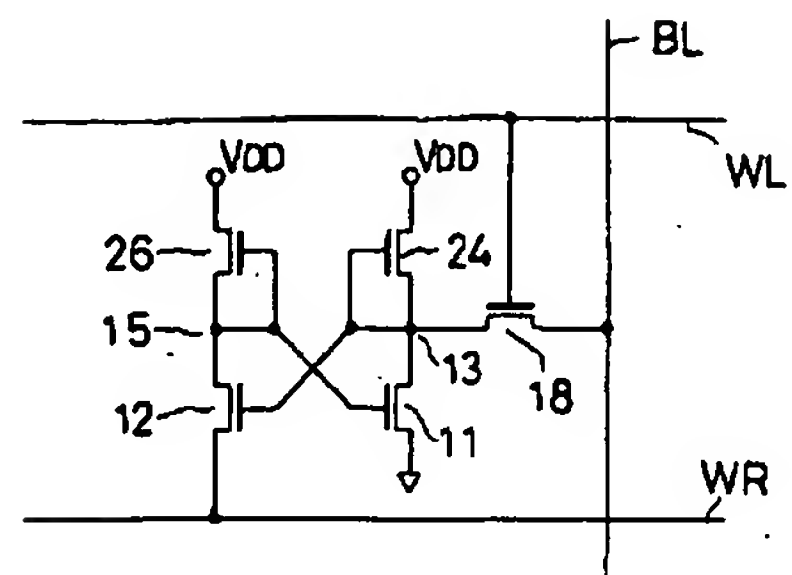
第2図



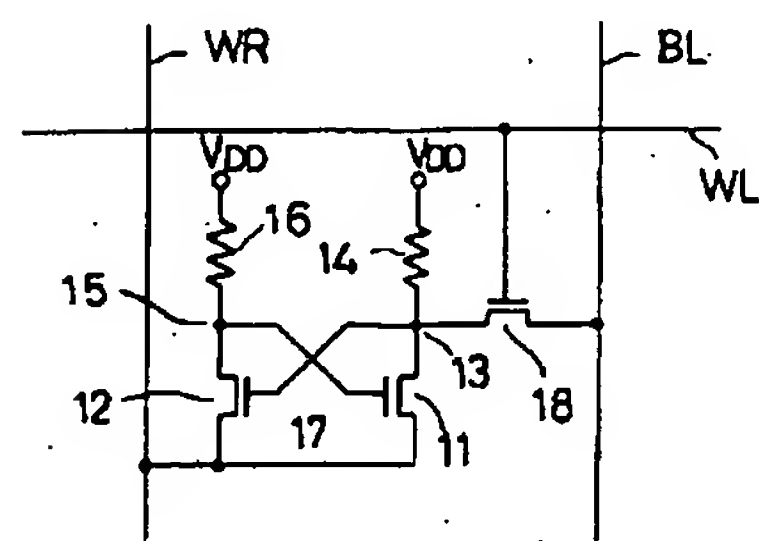
第4図



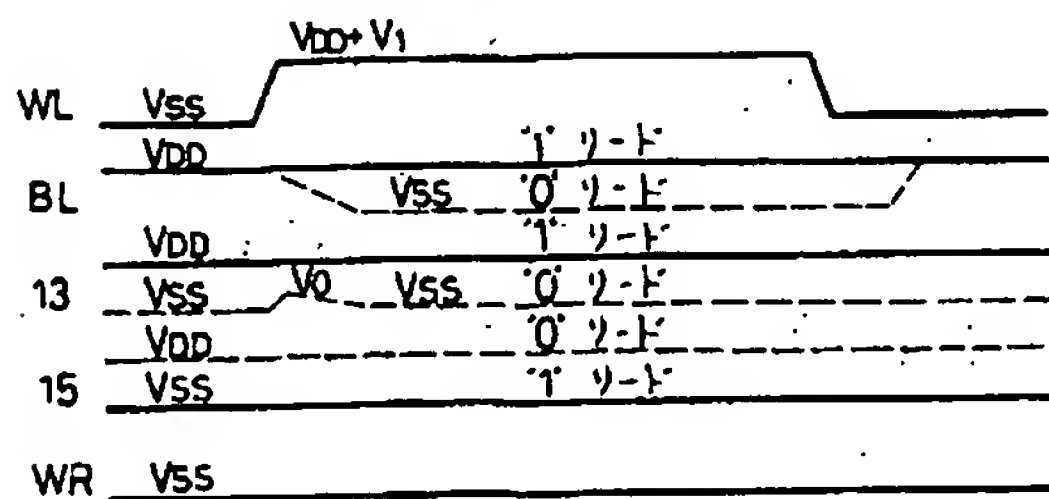
第5図



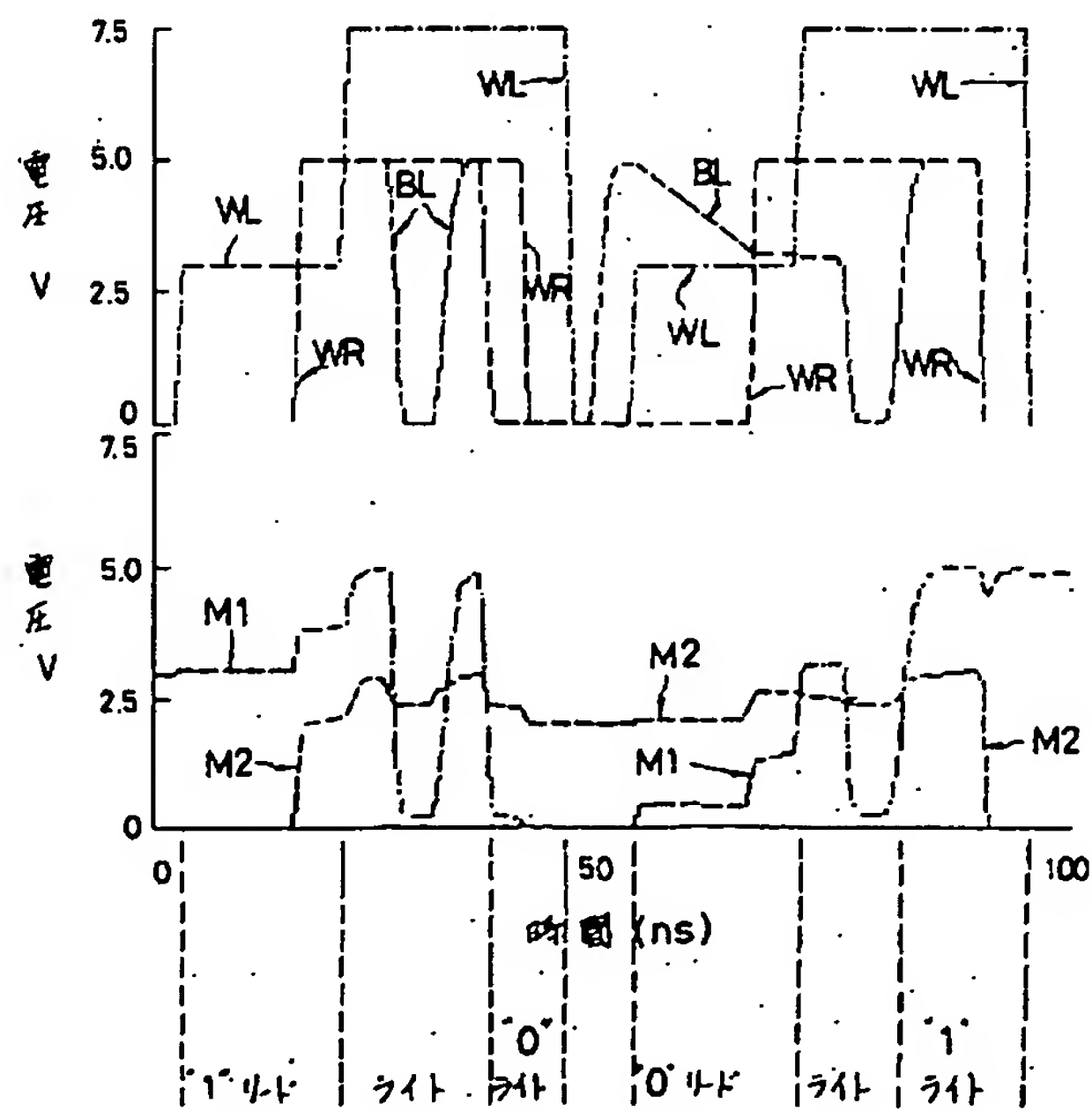
第6図



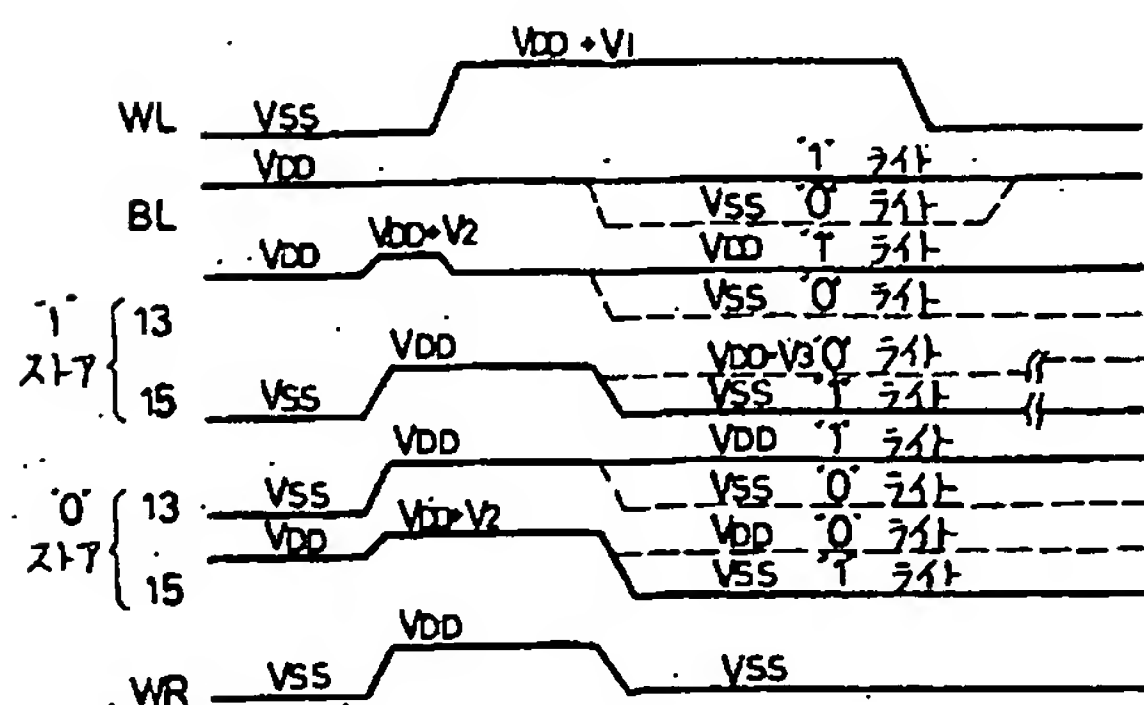
第7図



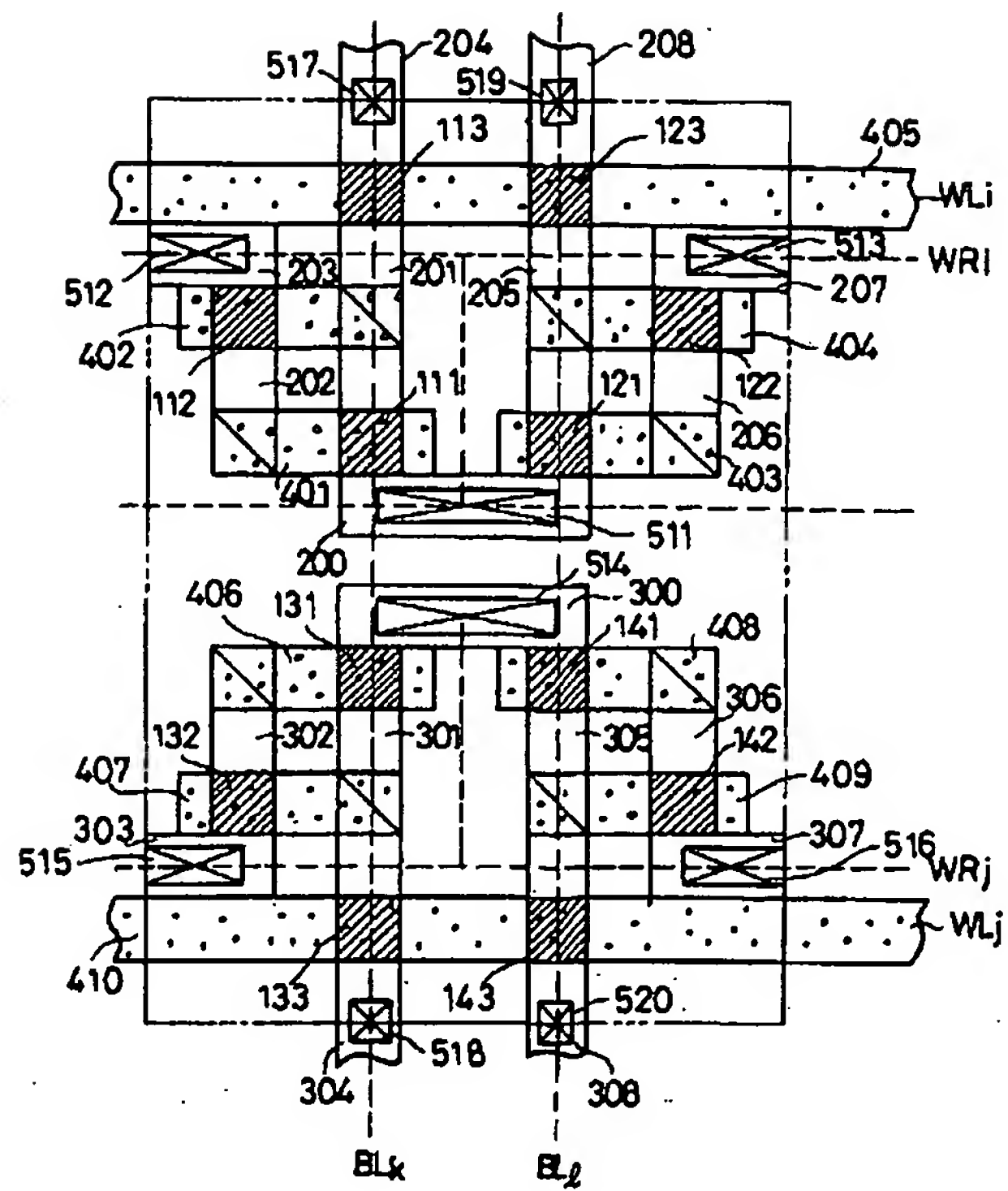
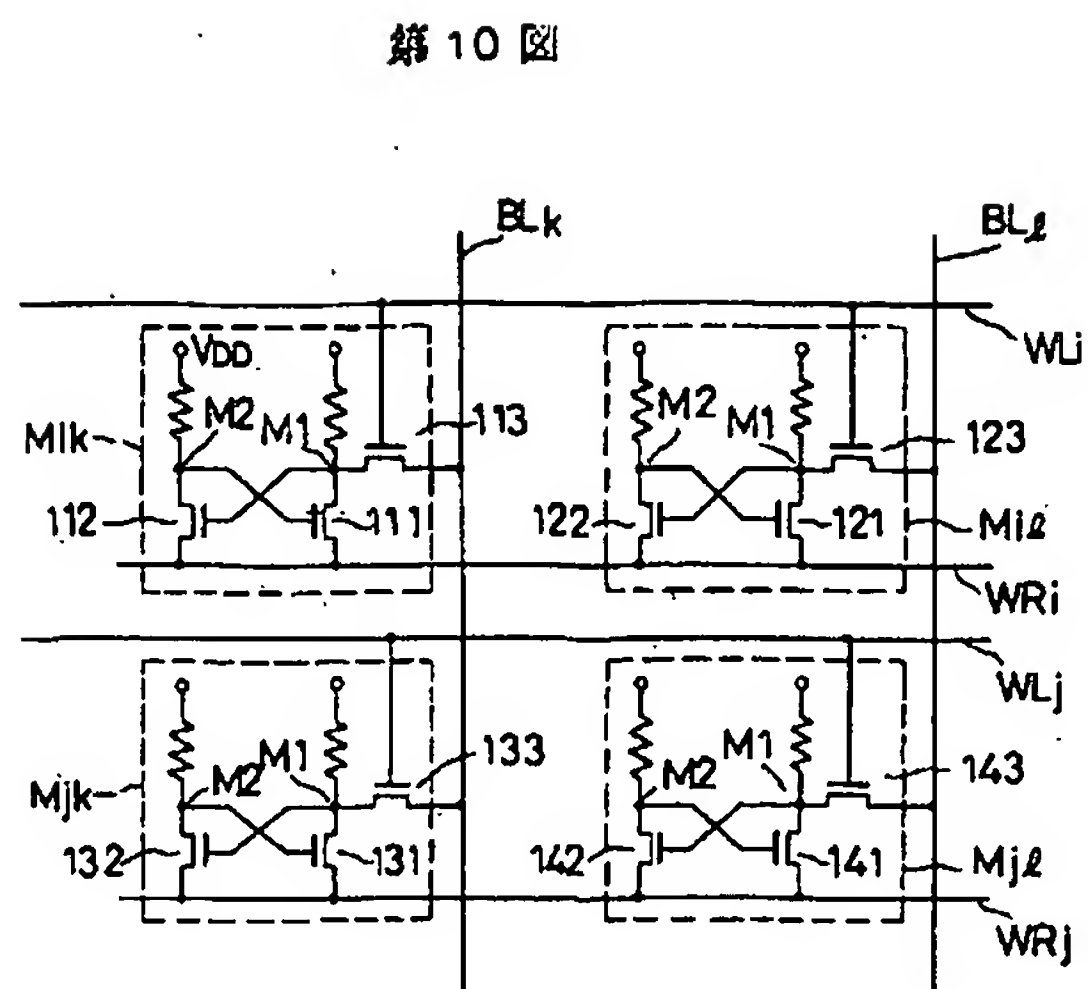
第9図



第8図



第11図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☒ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.